

**ELECTRON EMITTING ELEMENT**

Publication number: JP5190077

Publication date: 1993-07-30

Inventor: IWAI HISAMI; NOMURA ICHIRO; KANEKO TETSUYA

Applicant: CANON KK

Classification:

- International: H01J1/316; H01J1/30; (IPC1-7): H01J1/30

- European: H01J1/316

Application number: JP19920023334 19920114

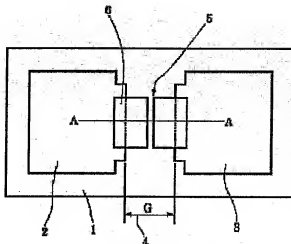
Priority number(s): JP19920023334 19920114

Report a data error here

**Abstract of JP5190077**

**PURPOSE:**To enable the forming at lower voltage and manufacture it stably at excellent yield rate, and make it an image with brightness without flickering by providing a plurality of projections at the surface of a substrate in contact with at least an electron emitting member. **CONSTITUTION:**A

substrate 1 is provided with a plurality of projections, at least in the region where it contacts with the electron emitting part 5 provided between electrodes 3. And in case that the surface of the substrate 1 has a projection, the film thickness of a fine particle film 6 becomes nonuniform, and according to circumstances, a thin part and a thick part occur. Therefore, current density increases in the section where the film is thin when a current flows inside the film 6, and heat concentrates, whereby the section 6 can be formed at lower voltage. Accordingly, stable forming becomes possible, and the controllability can also be improved. Moreover, as to a plurality of elements, homogeneous elements without dispersion can be gotten between elements, and the yield rate in manufacture can be improved.



Data supplied from the esp@cnet database - Worldwide

特開平5-190077

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl.<sup>5</sup>

H 0 1 J 1/30

識別記号

庁内整理番号

F I

技術表示箇所

A 9172-5E

審査請求 未請求 請求項の数3(全7頁)

(21)出願番号 特願平4-23334

(22)出願日 平成4年(1992)1月14日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 岩井 久美

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 野村 一郎

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 金子 哲也

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

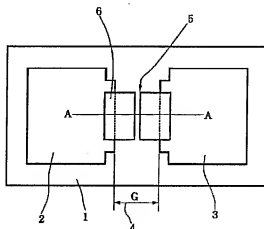
(74)代理人 弁理士 伊東 哲也 (外1名)

(54)【発明の名称】 電子放出素子

(57)【要約】

【目的】 電子放出部のフォーミングをさらに低い電圧で安定して行えるようにして、さらに素子のばらつきを抑制して素子の均質化と歩留の向上を図る。

【構成】 絶縁性基板上に形成した一対の電極と、該電極間に配置された微粒子から成る膜状の電子放出部材と、これに通電することにより形成される電子放出部とを備えた電子放出素子において、少なくとも電子放出部材と接する基板表面に複数の突起を有する。



【特許請求の範囲】

【請求項1】 絶縁性基板上に形成した一対の電極と、該電極間に配置された微粒子から成る膜状の電子放出部材と、これに通電することにより形成される電子放出部とを備えた電子放出素子において、少なくとも電子放出部材と接する基板表面に複数の突起を有することを特徴とする電子放出素子。

【請求項2】 前記突起の高さが、前記微粒子の粒径の1～10倍であることを特徴とする請求項1記載の電子放出素子。

【請求項3】 前記電子放出部材と接する基板の表面積が、対面積比で1.5倍以上あることを特徴とする請求項1または2記載の電子放出素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表面伝導形電子放出素子に関するものである。

【0002】

【従来の技術】従来、簡単な構造で電子の放出が得られる素子として、例えばエム・アイ・エリンソン (M. I. Elinson) 等によって発表された冷陰極素子が知られている [ラジオ エンジニアリング エレクトロニクス (Radio Eng. Electron. Phys.) 第10巻, 1290～1296頁, 1965年]。これは、基板上に形成された小面積の薄膜に、膜内に平行に電流を流すことにより、電子放出が生ずる現象を利用するもので、一般には表面伝導形電子放出素子と呼ばれている。この表面伝導形電子放出素子としては、前記エリンソン等により開発された  $\text{SnO}_2$  (Sb) 薄膜を用いたもの、Au薄膜によるもの [ジャーナル オブ "スチン ソリッド フィルムズ" (G. Dittmer: "Thin Solid Films"), 9巻, 317頁, (1972年)]、ITO薄膜によるもの [エム ハートウェル アンド ジェシー フォンスタッド "アイイーイーエートランス" イーディンコファレンス (M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.") 519頁, (1975年)]、カーボン薄膜によるもの [荒木久也: "真空" 第26巻, 第1号, 22頁, (1983年)] などが報告されている。

【0003】これらの表面伝導形電子放出素子の典型的な素子構成を図9に示す。同図において、2および3は電気的接続を得るための電極、1は電子放出材料で形成された薄膜、1は基板、5は電子放出部を示す。

【0004】従来、これらの表面伝導形電子放出素子においては、電子放出を行う前にあらかじめフォーミングと呼ばれる通電過熱処理によって電子放出部5を形成する。即ち、電極2と電極3の間に電圧を印加する事により、薄膜1に通電し、これにより発生するジュール熱

で薄膜1を局部的に破壊、変形もしくは変質せしめて電気的に高抵抗な状態にした電子放出部5を形成することにより電子放出機能を得ている。

【0005】なお、電気的に高抵抗状態とは、薄膜1の一部に0.5～5μmの亀裂を有し、且つ亀裂内が所應鳥構造を有する不連続状態膜をいう。鳥構造とは一般に数十μmから数百μm径の微粒子が基板1にあり、各微粒子は空間的に不連続で電気的に連続な膜をいう。

【0006】従来、表面伝導形電子放出素子1は上述高抵抗不連続膜に電極2、3により電圧を印加し、素子表面に電流を流すことにより、上述微粒子より電子を放出せしめるものである。

【0007】

【発明が解決しようとする課題】しかしながら、上記の様な従来の通電過熱によるフォーミング処理によって製造された電子放出素子には、次のような問題点がある。すなわち、①電子放出部となる鳥構造の設計が不可能なため、素子の改良が難しく、素子間のばらつきも生じやすい、②鳥構造の寿命が短く且つ安定性が悪く、また外界の電磁波ノイズにより素子破壊も生じやすい、③電気的に高抵抗な状態にするために必要とする最小電圧であるフォーミング電圧が大きくなり、フォーミング工程の際に生じるジュール熱が大きいため、基板が破壊しやすくマルチ化が難しい、④鳥構造の材料が金、銀、 $\text{SnO}_2$ 、ITO等に限定され仕事関数の小さい材料が使えないため、大電流を得る事ができない、等の問題である。このため、表面伝導形電子放出素子は、素子構造が簡単であるという利点があるにもかかわらず、産業上積極的に応用されるには至っていない。

【0008】本発明は電子放出素子で、複数の突起を有する基板上に作成することによって上記問題を解決することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため本発明では、絶縁性基板上に形成した一対の電極と、該電極間に配置された微粒子から成る膜状の電子放出部材と、これに通電することにより形成される電子放出部とを備えた電子放出素子において、少なくとも電子放出部材と接する基板表面に複数の突起を有するようにしている。

【0010】ところで、先述した図9に示すような典型的な表面伝導形電子放出素子において、電子放出材である薄膜の材料によっては、基板との密着が悪くそれが原因で特に、①鳥構造の安定性が悪く電子放出量の変動が大きい、②電子放出特性が悪く電子放出量が小さい、などの欠点を有するものがあり、これを改善するために基板の表面処理を行うという方法が報告されている [荒木久也: "真空" 第26巻, 第1号, 22頁 (1983年)]。この報告によれば基板の表面を研磨紙で磨くことによって故意に基板表面に凹凸をつけ、薄膜との密

3

着性を上げることによって上記問題点が解決され、特性の良い素子が得られたと述べられている。

【0011】一方、先述した表面伝導形電子放出素子について本発明者等が鋭意検討した結果、特開平2-56822号において、電極間に微粒子膜を配置しこれに通電処理を施すことにより電子放出部を設ける新規な表面伝導形電子放出素子を提案している。この新規な電子放出素子の断面構成図を図8に示す。同図において、1は基板、2および3は基板1上に形成された電極、6は電極2上から電極3上に渡り基板1上に形成された微粒子膜、5は微粒子膜6に形成された電子放出部である。

【0012】この電子放出素子の特徴としては次のようなことが挙げられる。すなわち、①フォーミング時の熱量を少なくすることができるため脱割れや基板割れを防止することができ、そして②島材の選択が可能で、且つ電子放出材に微粒子膜を用いることによりフォーミング工程に要する電圧（フォーミング電圧）が小さくて済むため、制銅性もより向上させることができる。

【0013】本発明の目的は、このような特徴を有する図8に示すような電子放出素子を、少なくとも電子放出部材と接する表面に複数の突起を有する絶縁性基板上に作成することにより、電子放出部のフォーミングをさらに低い電圧で安定して行えるようにして、さらに素子のばらつきを抑制して素子の均質化と歩留の向上を図ることにある。

【0014】以下に本発明の構成要素及び作用について詳細に説明する。図1は本発明の電子放出素子の一実施態様を示す概略図であり、図2は図1のA-A断面図である。図1及び図2においては基板であり、本発明においては少なくとも電極間に設けられる電子放出部材と接する領域では複数の突起を有するもので、ガラスやセラミクス等の絶縁物で構成される。突起の形状は、例えば電界放出型陰極に見られるような円錐形状である必要はなく、また、突起の先端の断面形状は丸くても台形状でも良い。即ち、基板の断面形状に凹凸を有するような形状であれば良い。突起の高さは電子放出部材である微粒子の粒径の1～10倍が好ましい。各突起間の間隔は微粒子の粒径の2倍以上が好ましい。絶縁性基板の電子放出部材と接する部分の表面積は、対面積比で、1.5倍以上あることが望ましい。また、絶縁性基板として、表面がすりガラス状のものを用いることも可能であるが、通常の表面が平滑なガラスの表面をあらしたものをを用いることもできる。

【0015】絶縁性基板をあらす方法としては、Ar等の原子量の大きい原子を用いたスパッタリングや、フッ酸・酢酸溶液をエッチャントとして用いたウェットエッチング、耐水研摩紙でこする等の方法を用いることが可能であるが、これらに限るものではない。

【0016】更に2および3は電極で、一般的な導電材料、Au、Ag、Pt等の金属の他、 $\text{SnO}_2$ 、ITO

4

等の酸化物導電性材料のものも使用できる。電極の幅は数 $\mu\text{m}$ ～数 $\text{mm}$ が適当である。電極間の最小間隔である電極ギャップGは数 $\mu\text{m}$ ～数100 $\mu\text{m}$ が適当である。また、5は電子放出部、6は電子放出部材である微粒子膜である。

【0017】微粒子膜の材料としては、 $\text{LaB}_6$ 、 $\text{CaB}_6$ 、 $\text{YB}_6$ 、 $\text{Gd}_2\text{B}_3$ などの硼化物、 $\text{TlC}$ 、 $\text{ZrC}$ 、 $\text{HfC}$ 、 $\text{TaC}$ 、 $\text{SiC}$ 、 $\text{WC}$ などの炭化物、 $\text{TiN}$ 、 $\text{ZrN}$ 、 $\text{HfN}$ などの窒化物、 $\text{Nb}$ 、 $\text{Mo}$ 、 $\text{Rh}$ 、 $\text{Hf}$ 、 $\text{Ta}$ 、 $\text{W}$ 、 $\text{Re}$ 、 $\text{Ir}$ 、 $\text{Pt}$ 、 $\text{Ti}$ 、 $\text{Au}$ 、 $\text{Ag}$ 、 $\text{Cu}$ 、 $\text{Cr}$ 、 $\text{Al}$ 、 $\text{Co}$ 、 $\text{Ni}$ 、 $\text{Fe}$ 、 $\text{Pb}$ 、 $\text{Pd}$ 、 $\text{Ca}$ 、 $\text{Ba}$ などの金属、 $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、 $\text{Sb}_2\text{O}_3$ 、 $\text{Sb}_2\text{O}_5$ などの金属酸化物、 $\text{Si}$ 、 $\text{Ge}$ などの半導体、カーボン、 $\text{AgMg}$ などを用いることができるがこれに限定されない。

【0018】微粒子膜は、例えば、これらの材料のうちの1種類以上をディッピング法やスピナー法等の分散塗布法およびガスデポジション法等を用いて少なくとも電極ギャップGを含む電極2、3間に配置して形成される。この際、微粒子膜のシート抵抗は $5 \times 10^4 \sim 1 \times 10^7 / \square$ となるように形成するのが好ましい。

【0019】

【作用】電子放出部は、このようにして形成した電子放出素子を約 $1 \times 10^{-8} \sim 1 \times 10^{-6}$  Torrの真空度の下におき、電極2、3間に電圧を印加して微粒子膜6内に形成されるが、このフォーミング工程に要する電圧（フォーミング電圧）は、平滑な基板上に形成する場合より小さくすることができ、即ちフォーミング電圧は、従来のように、電子放出材に薄膜を用いる場合、電子放出材により10～40Vであり、微粒子から成る電子放出部材を用いて平滑な基板上に形成する場合は5～10Vであるのに対し、微粒子から成る電子放出部材を用い、かつ表面に凹凸を有する基板上に形成する本発明の場合は4～6Vで足りる。

【0020】基板上の凹凸とフォーミング電圧の低下にどのような関連があるのかについては不明であるが、本発明者等は次のように推測する。即ち、図3に示すように、平滑な基板1上に微粒子を塗布する際には、膜厚のほぼそろった微粒子膜6が得られるが、本発明のように基板1表面が図4に示すように突起を有する場合、微粒子膜6の膜厚は不均一となり、場合によって薄い部分と厚い部分が生じる。このため、本発明の場合、微粒子膜6内に電流が流れる際に膜の薄い部分では電流密度が増し、熱が集中することにより、より低い電圧で電子放出部5をフォーミングできるものと推測される。このように本発明の電子放出素子では、低電圧でフォーミングできるため安定にフォーミングでき、制銅性もより向上させることができる。また、複数の素子について、素子間でばらつくことなく均質な素子が得られ、作製上の歩留まりが向上する。更に、電子放出材に薄膜を用いた場合

5

と同様に、基板表面に凹凸を有することにより、微粒子膜と基板との密着が良くなるため、電子放出部内の高構造的安定性が良くなり、電子放出量の変動量もより小さくなる。

【0021】以下、本発明の実施例を説明する。

【0022】

【実施例】

実施例1

図5は本発明の一実施例に係る電子放出素子の構成を示す斜視図であり、図6は図5のB-B断面図である。

【0023】図中、1は石英ガラス製の絶縁体基板、2は絶縁体基板1上に形成された $SiO_2$ の絶縁体膜、7および3は絶縁体7上に形成された相対向する電極、4は電極2、3間のギャップ、6は電極2から電極3に渡って形成された微粒子膜、5は微粒子膜6中に形成された電子放出部である。この素子は次のようにして製造される。

【0024】まず、絶縁体基板1を十分洗浄し、基板全体に絶縁体膜7を形成する。絶縁体膜7の材料としては、 $SiO_2$ 、ガラス、アルミナ等が好適であり、形成方法としては、通常良く用いられる蒸着技術や液体コーティング法等を用いると良い。ここでは、蒸着法で $SiO_2$ を用いて行った。また膜厚は5000Åとした。

【0025】次に、通常良く用いられるドライエッチング技術により、絶縁体膜7の表面をエッチングし、平坦な表面を粗くし凹凸状にして突起を形成する。この時、突起の高さは、微粒子膜6の微粒子の粒径の1~10倍となるようにする。ここでは約1500Å程度となるようにした。また、各突起間の間隔は約2000Å程度とした。

【0026】次に、ホトリソ・エッチング技術および蒸着技術により、電極2および3を形成する。電極の材料としては、下びきとしての厚さ50ÅのTi、および厚さ950ÅのNiを用いた。

【0027】更に、同様の方法により電極ギャップ4の付近の必要な領域以外の領域にCrを500Åの厚さで成膜した。そしてこの上に、粒径1000Å以下の $SnO_2$ 微粒子1.0g、有機溶媒（メチルエチルケトン：シクロヘキサン＝3：1、800cc）の各材料をガラスビーズと共にバインディング剤で24時間攪拌して得られた分散液をスピンドットし、250°Cで10分焼成した。そしてこの後、先に成膜したCrをエッチアウトした。これにより、電極2、3間および電極2、3上により微粒子膜6が形成された。

【0028】そして最後に、以上の工程により作成した電子放出素子を真空中におき、一對の電極2、3間に電圧を印加してフォーミングを行う。この際6Vの電圧で安定にフォーミングすることができた。

【0029】比較のため、通常の平滑な基板上に、突起を形成することなく、直接電極2、3および微粒子膜を

6

上記と同様の方法で形成することにより、同形状、同材料の電子放出素子を作製し、上記と同様にしてフォーミングを行ったところ、フォーミング電圧は8Vであった。即ち、基板に突起を有することによりフォーミング電圧を低くすることができ安定に歩留まり良く素子を作製することができることがわかる。更に、本実施例とこの比較例それぞれの素子の上に引出し電極（不図示）を設け、電子放出を行わせ、そのまま30分放置し、耐久テストを行ったところ、両素子とも安定に電子放出したが、本実施例の素子の方が平滑な基板上に設けた比較例の素子よりも電子放出量の変動量が小さく、0.8倍に抑えることができた。

【0030】実施例2

図1は本発明の第2の実施例に係る電子放出素子の構成を示す平面図であり、図2は図1のA-A断面図である。

【0031】この素子は、実施例1のように絶縁体膜7上に突起を設ける代わりに、絶縁体基板1上に直接突起を設けるようにしたもので、他は実施例1と同様の構成を有し、以下のようにして製造される。

【0032】まず、絶縁体基板（コーニング7059ガラス）1を十分洗浄してから、水で濡らした耐水研磨紙（エミリー#1000）上で表面を軽く研磨した。

【0033】次に、実施例1と同様の方法で電極2、3を形成した。

【0034】次に、蒸着マスクを用い、ガスデポジション法により、粒径0.1mm以下のAu微粒子を電極ギャップ4および一部電極2、3上に配置した。そして、実施例1と同様にフォーミングすることにより、電子放出素子が完成した。

【0035】そして、基板1を研磨せずに直接電極2、3と微粒子膜6を同様の方法および同材料を用いて電子放出素子を作製する場合と比較したところ、本実施例の場合の方がより低電圧でフォーミングでき、電子放出量の変動量の小さい電子放出素子を歩留まり良く得ることができた。また、素子の特性の面でも実施例1と同様の効果が得られている。

【0036】したがって、実施例1の場合と併せて考えれば、この効果は、基板や電子放出材および突起の製作方法に関わらず、突起を設けることによって得られるものであることがわかる。

【0037】実施例3

図7は本発明の第3の実施例に係る電子放出素子の構成を示す断面図である。図中1は基板、8は基板1上の絶縁層、9は絶縁層8上に形成された上電極、10は基板1上に形成された下電極、4は電極9、10間のギャップ、6は上電極9から、下電極10に渡り絶縁層8側面に形成された微粒子膜、5は電子放出部である。

【0038】この素子は、次のようにして製造される。まず、絶縁体基板1を十分洗浄し、通常良く用いられ

ホトリソグラフィ技術および蒸着技術により下電極10を形成する。

【0039】次に、スパッタ法を用いて基板全面にSiO<sub>2</sub>を5000Åの厚さで成膜し、下電極10と同様の方法で上電極9を形成した。更に、ホトリソ・エッチング技術により不要部分のSiO<sub>2</sub>をエッチングし絶縁層8を形成した。

【0040】次に、フッ酸(50%溶液)、硝酸および酢酸を1:1:80の割合で混合した溶液中で30秒間攪拌することにより、絶縁層8の側面を粗して突起を形成した。

【0041】次に、実施例1の場合と同様に、膜厚500ÅのCrを、微粒子膜6を配置したくないところに成膜してから、有機パラジウム化合物溶液(奥野製薬(株)CCP4230)をディッピングにより塗布し、その後、300℃で10分間焼成し、Crをエッチアウトした。これにより、所定の位置に微粒子膜6が配置された。

【0042】以上の工程により作成した電子放出素子を実施例1と同様にしてフォーミングし、特性を評価したところ、フォーミング電圧は4Vであった。また、比較例として突起形成を行わない以外は同様にして作製した素子についてフォーミング電圧を測定したところ、フォーミング電圧は6Vであった。即ち、本実施例の素子ではより低い電圧でフォーミングすることができる。更に実施例1と同様にこれらの素子の電子放出量の変動量を測定すると、本実施例の素子では比較例の3/4倍であり、変動量を抑える効果があることがわかる。

#### 【0043】実施例4

図10は本発明の電子放出素子を利用した第4の実施例に係る電子源の部分的な斜視図である。図中、1は基板、2、3は素子電極、4は電極ギャップ、5は電子放出部、6は微粒子膜、12は配線電極である。

【0044】この電子源は次のようにして製造される。まず、30cmX30cmの絶縁性基板(青板ガラス)を十分に洗浄した後、実施例3と同様の工程を用いて基板1の表面を粗らして突起を形成した。

【0045】次に、実施例1と同様の方法で素子電極2、3を線状に並べたものを複数形成した。更に実施例3と同様にして500Åの膜厚のCrを微粒子膜6を配置したくないところに成膜してから、有機パラジウム化合物溶液(奥野製薬(株)CCP4230)をパーコート法により塗布し、その後300℃で10分間焼成し、Crをエッチアウトした。これにより、微粒子膜6が配置された。

【0046】次に、この上に、前記素子電極2、3を形成する場合と同様にして配線電極12を形成した。そして、このように作製した電子源を真空容器に入れ、配線電極12間に電圧を印加してフォーミングを行った。複数配置した素子の全てにつき4Vの電圧でフォーミング

を安定して行うことができた。

【0047】これら複数の素子が安定にフォーミングできる理由としては次の事が考えられる。即ち、一般に、平滑な基板上に複数の素子を形成し、電子放出材を配置する際、電子放出材である微粒子膜をなるべく均一に配設し、微粒子膜のシート抵抗を揃えることで、複数の素子の特性を揃え、素子間のばらつきを少なくすることが望ましいが、基板面積が大きい場合は微粒子膜を均一に配置することは難しく、場所により膜厚分布が得意やすい。このことから、膜厚の薄い部分では低い電圧でフォーミングし厚い部分ではフォーミング電圧が高くなる等のばらつきを生じてしまう。しかし、基板に突起を形成することにより、突起上では一様に膜厚が得くなり、複数の素子間でばらつきことなくフォーミングできると考えられる。

【0048】更に、この電子源の5mm鉛直上に1kVの電圧を印加した蛍光体基板を設置して電子源からこれに対して電子を放出させ、そのまま30分放置して耐久テストを行ったところ、電子放出量の変動量も、平滑な基板上に同様の電子源を作製した場合の約0.8倍に抑えることができた。このように本発明の電子放出素子を用いて電子源を構成すれば、電子放出量の変動量が少なく、複数の素子間にばらつきが少ないため、ゆらぎ、ちらつき等のない電子源を歩留まり良く作成することができる。

#### 【0049】

【発明の効果】以上説明したように本発明によれば、少なくとも電子放出部材と接する基板表面に複数の突起を設けるようにしたため、①より低電圧でフォーミングでき、安定に歩留まり良く電子放出素子を作製することができる。また、②微粒子膜の密着性が更に良くなるため、安定した電子放出が得られ、電子放出量の変動量を小さくすることができる。更に、③本発明の電子放出素子を用いて画像形成装置を形成すれば、同等の効果、即ち、歩留まり良く、ちらつきのない、均一な厚度の画像形成装置を得ることができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施態様及び第2の実施例に係る電子放出素子の平面図である。

【図2】 図1のA-A断面図である。

【図3】 従来の平滑な基板上の電子放出部近傍の断面図である。

【図4】 本発明の電子放出素子の電子放出部近傍の断面図である。

【図5】 本発明の第1の実施例に係る電子放出素子の斜視図である。

【図6】 図5のB-B断面図である。

【図7】 本発明の第3の実施例に係る電子放出素子の断面図である。

【図8】 従来の平滑な基板上の電子放出素子の断面図

9

10

である。

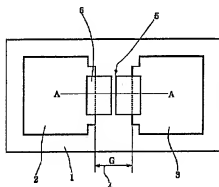
【図9】 従来の薄膜SCEの平面図である。

【図10】 本発明の電子放出素子を利用した第4の実施例に係る電子源の部分的な斜視図である。

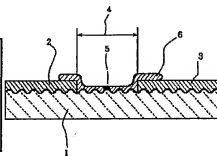
【符号の説明】

1:基板、2, 3:電極、4:電極ギャップ、5:電子放出部、6:微粒子膜、7:絶縁体膜、8:絶縁層、9:上電極、10:下電極、11:薄膜、12:配線電極

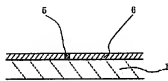
【図1】



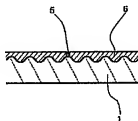
【図2】



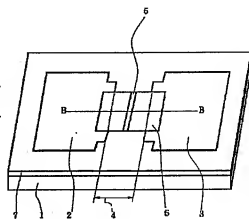
【図3】



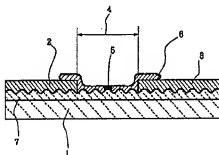
【図4】



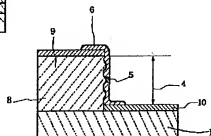
【図5】



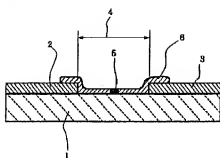
【図6】



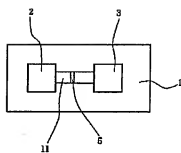
【図7】



【図8】



【図9】



【図10】

